

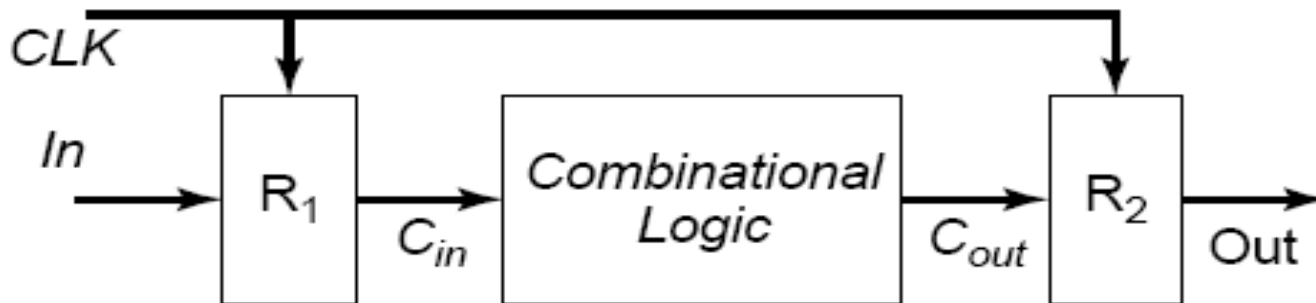
# HY220

## Εργαστήριο Ψηφιακών Κυκλωμάτων

Εαρινό Εξάμηνο  
2022

Ρολόγια και Χρονισμός

# Synchronous Timing

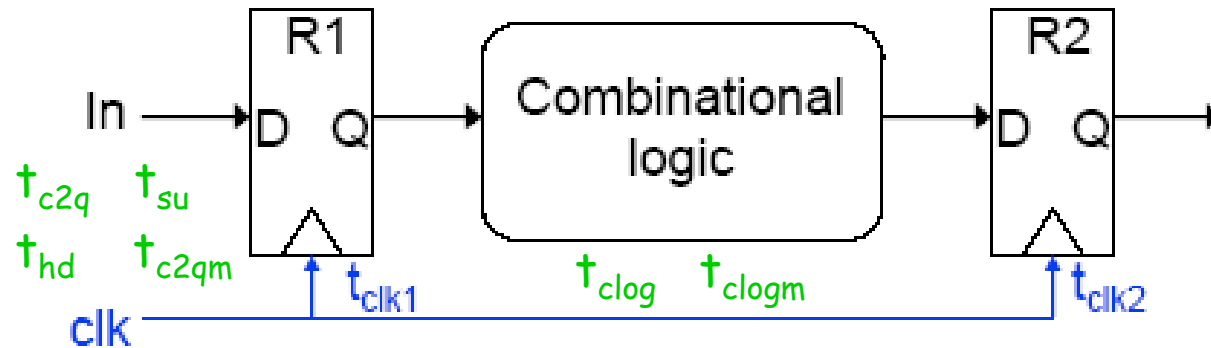


- Όλα τα στοιχεία στο σύστημα ενημερώνονται ταυτόχρονα με ένα κεντρικό ρολόι
- Στην πραγματικότητα
  - Clock skew
  - Clock jitter

# Plesiochronous and Asynchronous Timing

- Plesiochronous Timing
  - Τα blocks έχουν ανεξάρτητα ρολόγια από ξεχωριστούς ταλαντωτές
  - Κύκλωμα ανάκτησης ρολογιού
  - Συγχρονισμός μεταξύ διαφορετικών clock domains
    - FIFO
- Asynchronous timing
  - Αυτοχρονιζόμενα (self-timed) συστήματα
  - Δεν υπάρχει ανάγκη για κεντρικό ρολόι
  - Υπάρχει extra «κόστος» στα κυκλώματα (handshaking)
  - Αυξημένη πολυπλοκότητα

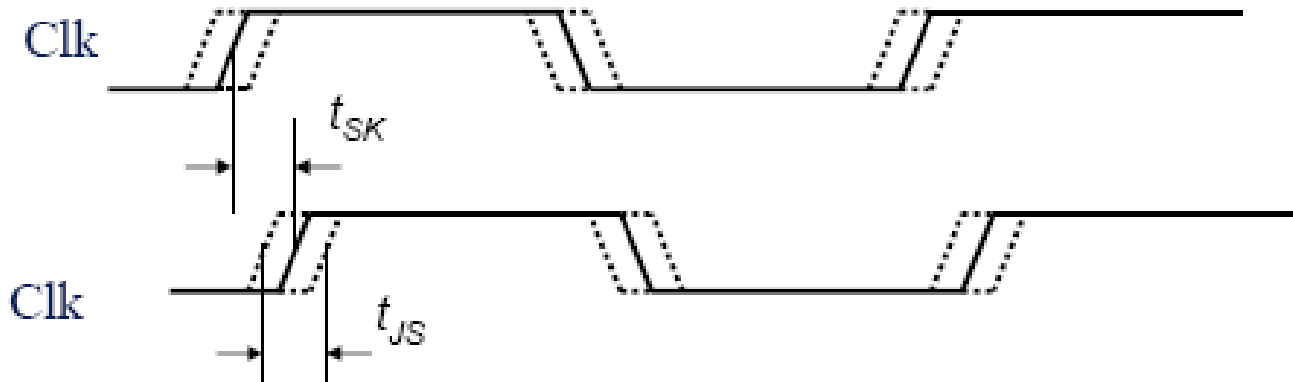
# Synchronous Timing Basics



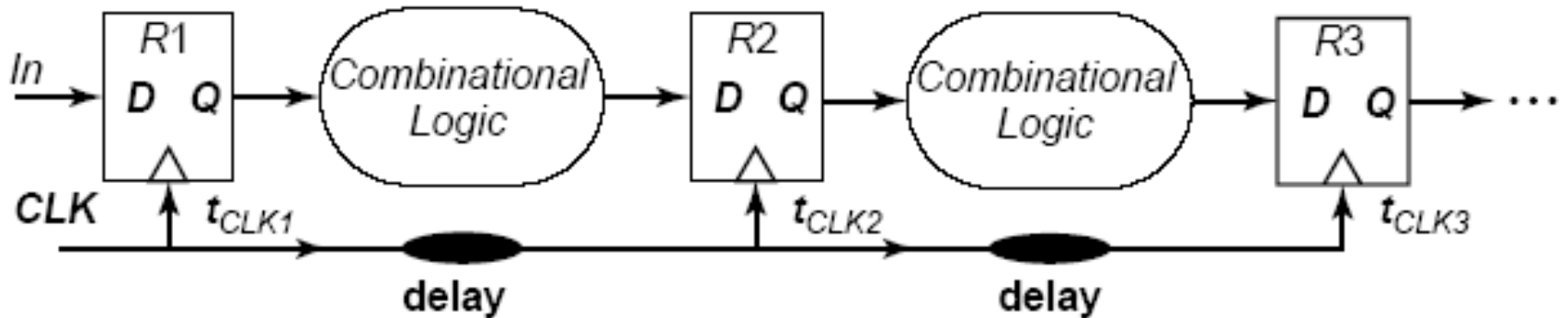
- Σε ιδανικές συνθήκες ( $t_{clk1} = t_{clk2}$ )
  - $T_{clk} \geq T_{c2q} + T_{clog} + T_{su}$
  - $T_{clogm} \geq T_{hd} - T_{c2qm}$
- ΣΤΙΣ ΠΡΑΓΜΑΤΙΚΕΣ συνθήκες
  - Clock skew
  - Clock jitter

# Clock Skew and Jitter

- Clock skew
  - Χωρική μεταβλητότητα (spatial variation) στους χρόνους άφιξης των μεταβάσεων του ρολογιού σε διαφορετικά σημεία ενός κυκλώματος
- Clock jitter
  - Χρονική μεταβλητότητα (temporal variation) της περιόδου του ρολογιού σε ένα δεδομένο σημείο του κυκλώματος
  - Από κύκλο σε κύκλο (cycle-to-cycle)  $t_{js}$  : short-term
  - Long term  $t_{jl}$

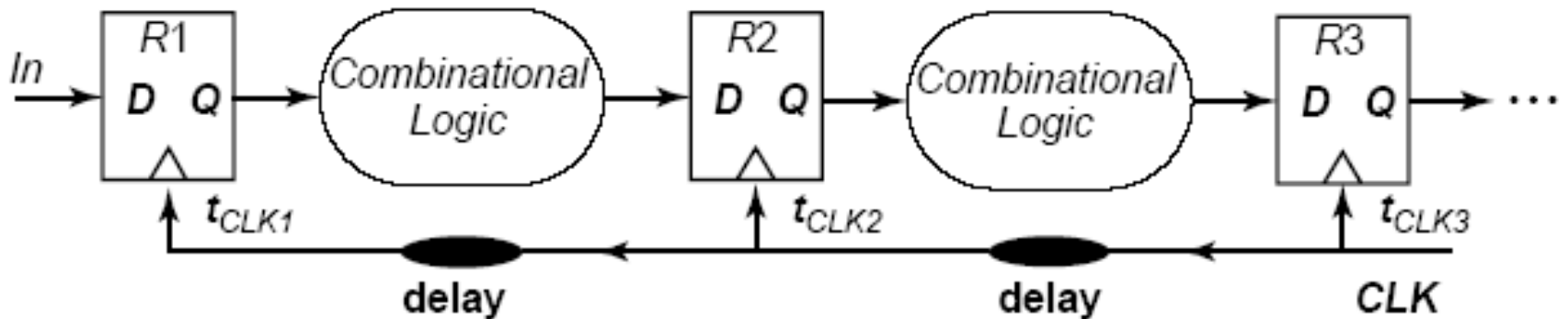


# Positive and Negative Skew



(a) Positive skew

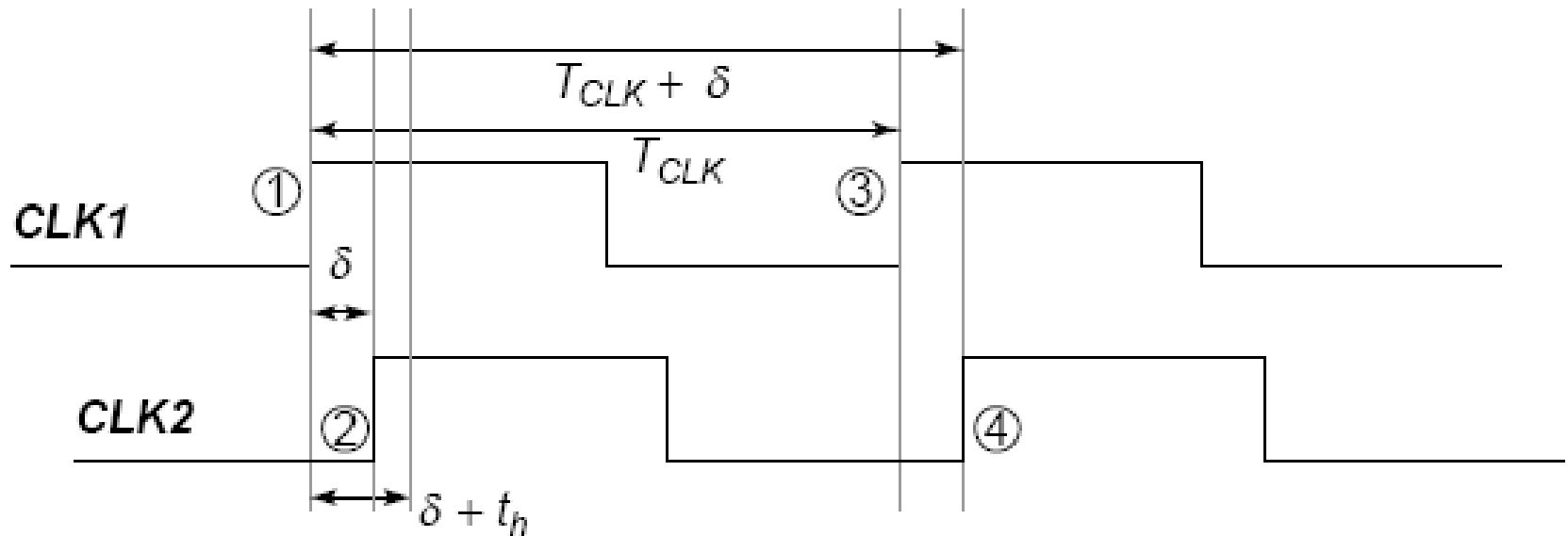
Ρολόι και δεδομένα προς την ίδια κατεύθυνση



(b) Negative skew

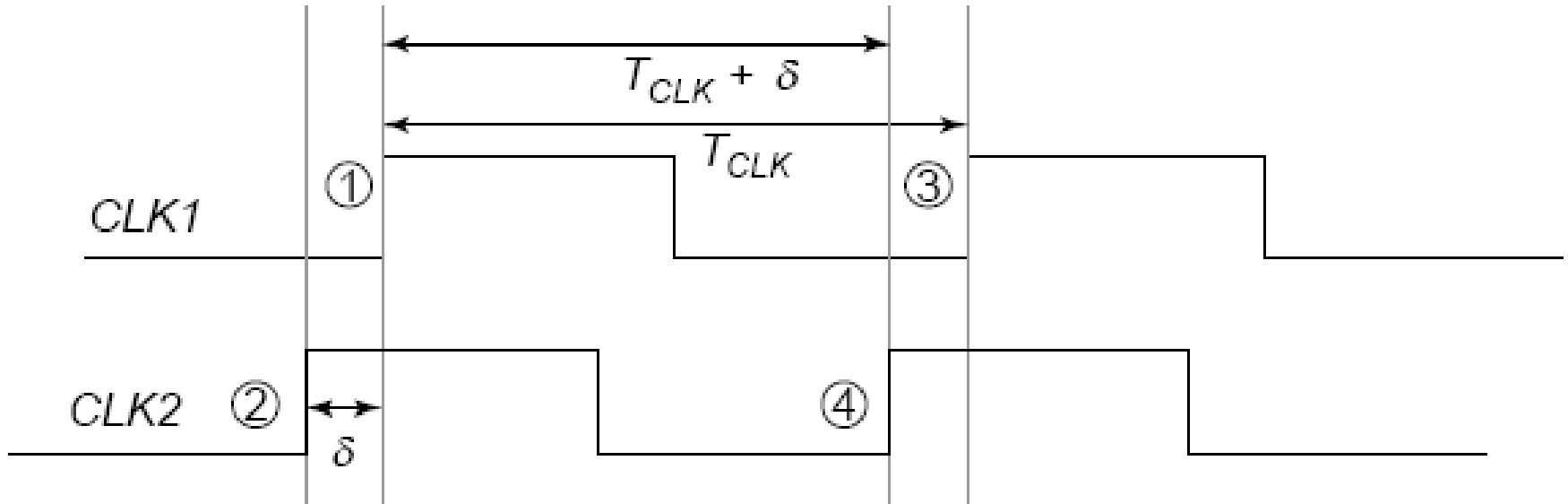
Ρολόι και δεδομένα προς αντίθετες κατευθύνσεις

# Positive Skew



Η ακμή εκκίνησης φτάνει πριν την ακμή άφιξης

# Negative Skew

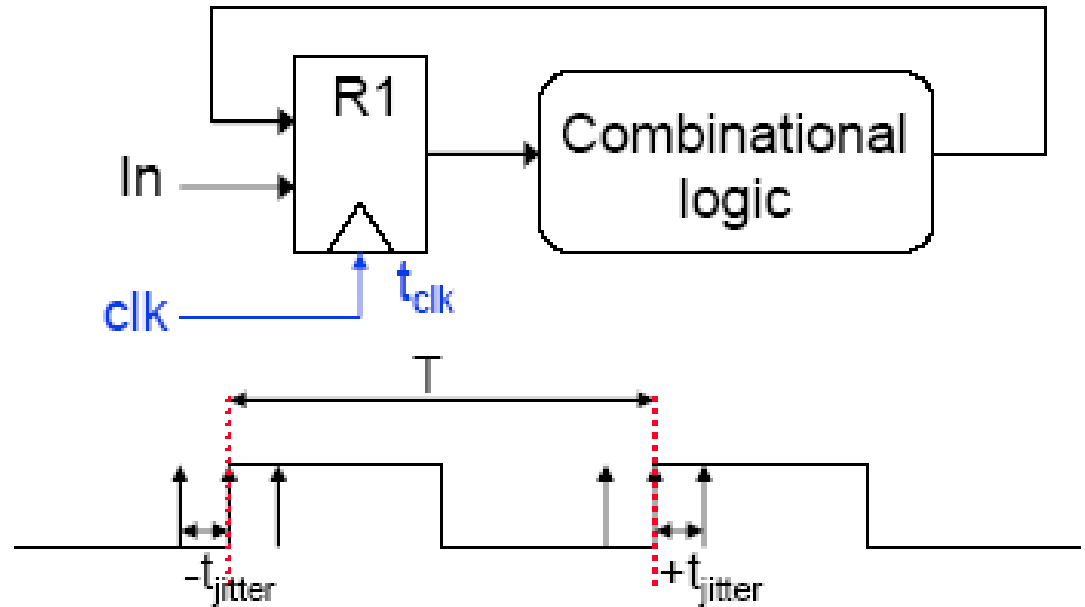


Η ακμή άφιξης φτάνει πριν την ακμή εκκίνησης

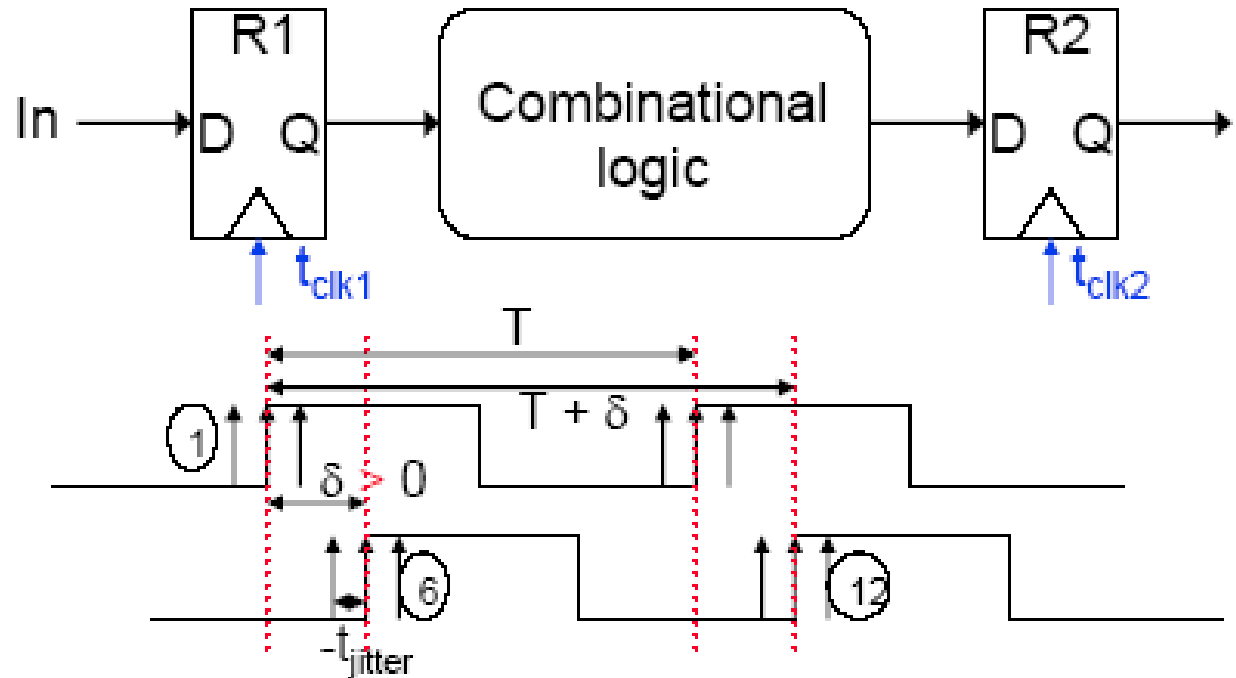


# Clock Jitter

Το jitter προκαλεί μεταβλητότητα στην περίοδο  $T$  του ρολογιού από κύκλο σε κύκλο



# Combined Impact of Skew and Jitter

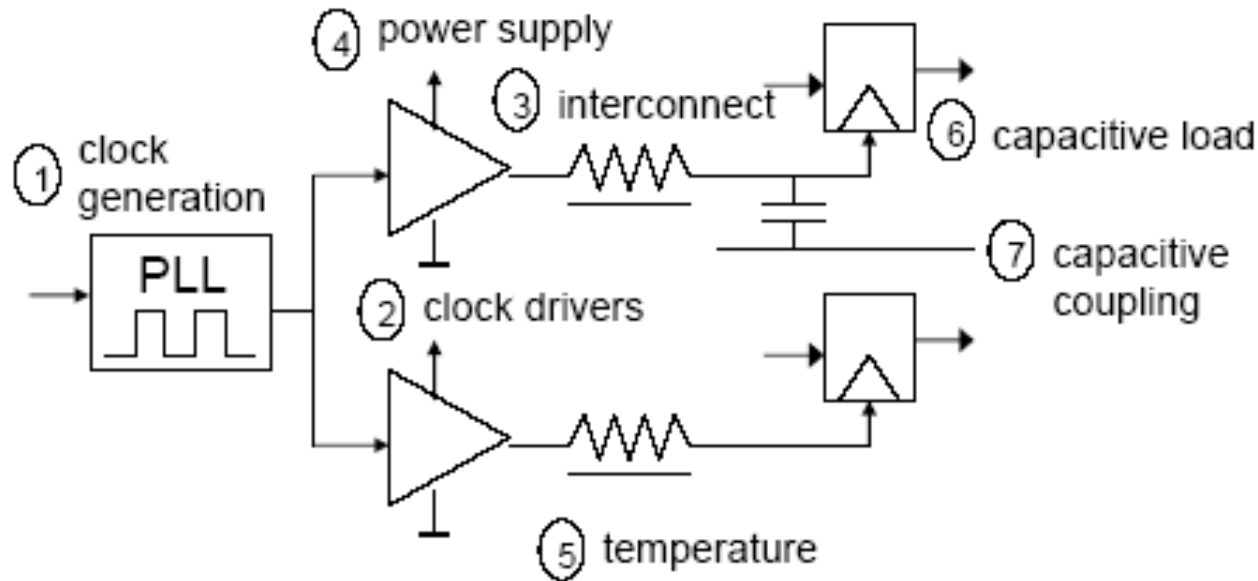


Clock skew:  $T_{sk} (\delta)$

Clock jitter:  $T_{jt}$

- $T_{clk} \geq T_{c2q} + T_{clog} + T_{su} + T_{sk} + 2T_{jt}$  (w.c. negative skew)
- $T_{clogm} \geq T_{hd} - T_{c2qm} + T_{sk} + 2T_{jt}$  (w.c. positive skew)

# Sources of Clock Skew and Jitter



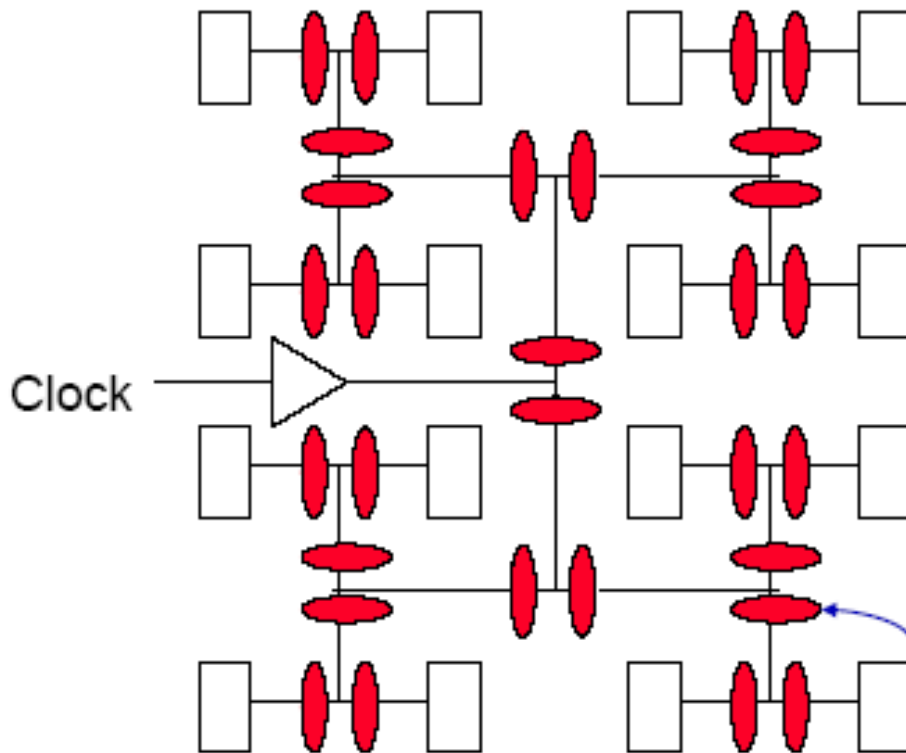
- Clock generation (1): PLL –**jitter**
- Manufacturing variations on clk driver (2): –**skew**
- Interconnect variations(3): inter-layer dielectric (ILD) thickness affects interconnect R and C—**skew**
- Temperature and power supply (4 &5)Variations: –**skew** and **jitter**
  - Parameters depend on temperature
  - Delay through buffers is a strong function of the power supply
- Capacitive coupling(6 &7) –**jitter**

# Clock Distribution Networks

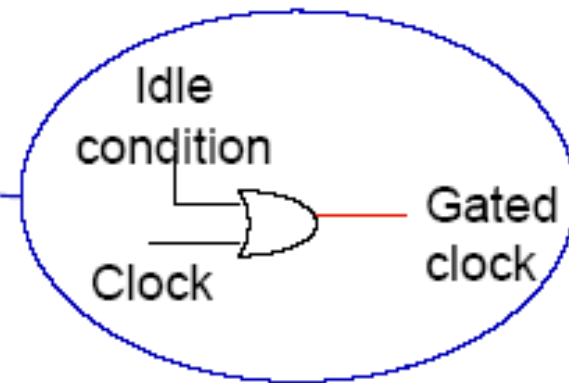
- Clock skew and jitter can ultimately limit the performance of a digital system, so designing a clock network that minimizes both is important
  - In many high-speed processors, a majority of the dynamic power is dissipated in the clock network.
  - To reduce dynamic power, the clock network must support clock gating (shutting down (disabling the clock) units)
  
- Clock distribution techniques
  - Balanced paths (H-tree network, matched RC trees)
    - In the ideal case, can eliminate skew
    - Could take multiple cycles for the clock signal to propagate to the leaves of the tree

# H-Tree Clock Network

- If the paths are perfectly balanced, clock skew is zero



Can insert clock gating at multiple levels in clock tree  
Can shut off entire subtree if all gating conditions are satisfied



# More realistic H-tree

